

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-006665

(43)Date of publication of application : 14.01.1993

(51)Int.Cl. G11C 11/407
H01L 27/10

(21)Application number : 03-241344

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.09.1991

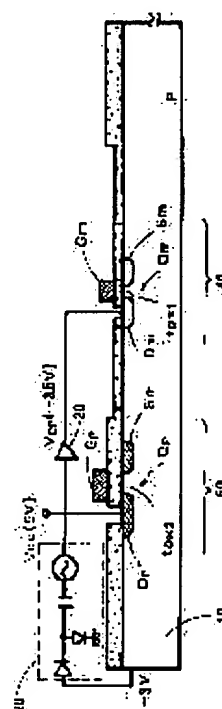
(72)Inventor : ITO KIYOO
HORI RYOICHI

(54) LARGE SCALE INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain a memory having high integration, in which a high external voltage can be used by increasing the size of an element in a first circuit and decreasing the size of a second circuit responding to an output signal of the first circuit.

CONSTITUTION: A gate oxide film t_{OX2} of an N-type MOS transistor (MOST) Q_p is formed thicker than a gate oxide film t_{OX1} of a MOST Q_m . A high drain voltage such as an external voltage V_{CC} is supplied to a drain D_p of the MOST Q_p , and a lower voltage V_{DP} than the V_{CC} is supplied from an inner power source voltage generator 30 to a drain D_m of the MOST Q_m . Thus, an element in a first circuit is so formed in a large size that a breakdown voltage becomes high, and an element of a second circuit responding to the output signal of the first circuit is formed in a small size so as to enhance its integration.



LEGAL STATUS

[Date of request for examination] 20.09.1991

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the withdrawal
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application] 07.06.1994

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-6665

(43)公開日 平成5年(1993)1月14日

(51)IntCl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/407				
H 0 1 L 27/10	4 8 1	8728-4M 8320-5L	G 1 1 C 11/ 34	3 5 4 F

審査請求 有 発明の数 1 (全 12 頁)

(21)出願番号 特願平3-241344
(62)分割の表示 特願昭56-57143の分割
(22)出願日 昭和56年(1981)4月17日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 伊藤 清男
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 堀 陵一
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(74)代理人 弁理士 小川 勝男

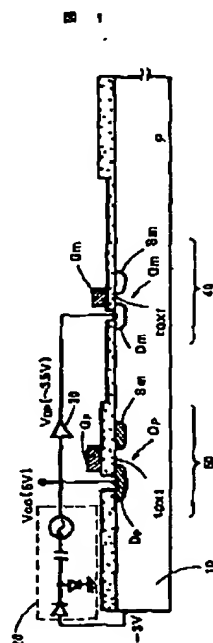
(54)【発明の名称】 大規模集積回路

(57)【要約】

【目的】本発明は半導体集積回路に関し、内部降圧手段を有する集積回路を提供することにある。

【構成】チップ内に内部降圧手段を有し、その出力である低電圧電源をチップ上の適当な回路に供給する。

【効果】寸法の小さい素子、すなわち耐圧の小さい素子で回路を構成することができる。そのため、集積回路の高速化及び高集積化が図れる。



1

【特許請求の範囲】

【請求項1】 第一の半導体装置と、第二の半導体装置とを有する半導体集積回路において、上記第一の半導体装置は、第一の電圧以下の第二の電圧を発生する装置であり、上記第一の半導体装置は、上記第二の半導体装置に上記第二の電圧を供給し、上記内部信号は、上記第二の半導体装置に入力され、上記第二の半導体装置を構成する素子の寸法は、上記第一の半導体装置の上記第一の電圧が入力される素子の寸法より小さいことを特徴とする半導体集積回路。

【請求項2】 請求項1に記載の半導体集積回路において、上記素子は、トランジスタであり、上記所定の電圧が入力される素子のしきい値電圧は、上記第二の半導体装置を構成する素子のしきい値電圧より大きいことを特徴とする半導体集積回路。

【請求項3】 請求項1に記載の半導体集積回路において、上記素子は、トランジスタであり、上記第一の半導体装置の上記第一の電圧が入力される素子の分離幅は、上記第二の半導体装置を構成する素子の分離幅より大きいことを特徴とする半導体集積回路。

【請求項4】 請求項1乃至請求項3のいずれかに記載の半導体集積回路において、上記素子は、電界効果トランジスタであることを特徴とする半導体集積回路。

【請求項5】 請求項4に記載の半導体集積回路において、上記第一の半導体装置の上記第一の電圧が入力される素子のゲート長は、上記第二の半導体装置を構成する素子のゲート長より大きいことを特徴とする半導体集積回路。

【請求項6】 請求項4に記載の半導体集積回路において、上記第一の半導体装置の上記第一の電圧が入力される素子のチャンネル長は、上記第二の半導体装置を構成する素子のチャンネル長より大きいことを特徴とする半導体集積回路。

【請求項7】 請求項4に記載の半導体集積回路において、上記第一の半導体装置の上記第一の電圧が入力される素子のゲート絶縁膜厚は、上記第二の半導体装置を構成する素子のゲート絶縁膜厚より大きいことを特徴とする半導体集積回路。

【請求項8】 請求項1に記載の半導体集積回路において、上記第二の半導体装置は、メモリセルアレーを含み、該メモリセルアレーのワード線の高い側の電圧は、上記第二の電圧を基準に昇圧されて発生されることを特徴とする半導体集積回路。

【請求項9】 請求項8に記載の半導体集積回路において、上記メモリセルアレーのデータ線の高い側の電圧は、上記第二の電圧とほぼ等しいことを特徴とする半導体集積回路。

【請求項10】 請求項1に記載の半導体集積回路において、上記外部信号群は外部アドレス信号であることを特徴とする半導体集積回路。

2

【請求項11】 請求項1に記載の半導体集積回路において、上記外部信号群は外部制御信号であることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高密度の集積回路、とくに、高密度の半導体メモリに好適な集積回路に関する。

【0002】

- 10 【従来の技術】 従来、半導体メモリの高集積化のために、特開昭51-104276では、2種のゲート酸化膜厚と2種のゲート領域表面濃度を組み合わせた技術が提示されている。また、特開昭50-119543には、メモリアレー部のSi表面を高濃度にイオン打ちこみすることによって、メモリアレー部のトランジスタのチャンネル長をより小にしたり、拡散層間隔をより小にして集積度を向上させる技術が提示されている。しかし、このような技術によって、トランジスタ等の回路素子の寸法を小さくした場合、これらの回路素子の絶縁破壊に対する耐圧が小さくならざるをえない。したがって、これらの回路素子に与える電源電圧又はこれらの回路によって発生される信号電圧は、回路素子の寸法を小さくしたことに伴って小さくする必要がある。

【0003】

- 20 【発明が解決しようとする課題】 一方ユーザの使いやすさからみれば、外部からの印加電圧（メモリLSIのパッケージの電源ピンに印加される電圧）は、メモリを構成するトランジスタの寸法いかんによらず一定にしたいという要望がある。したがって外部からの印加電圧を下げることは望ましくない。したがって、上述の従来技術によっては、高い外部電圧を用いることのできる高集積度のメモリを実現することは出来ない。このことはメモリに限らず、他の集積回路にもあてはまる。

【0004】 したがって、本発明の目的は、高い外部電圧を用いることができ、寸法が小さく、低い動作電圧で動作する回路素子を内部に有する高集積度の集積回路を提供することにある。

【0005】

- 30 【課題を解決するための手段】 このため、本発明では、集積回路の次の特徴に注目した。

【0006】 (1) 一般に集積回路の内、外部入力端子に接続された回路素子の耐圧は高くなければならない。この端子に外部から高い電圧が供給されても、また、静電力が発生しても、この素子が破壊されないようにするためである。したがって、この外部入力端子に接続された回路素子の寸法は大きくすることが實際上必要である。

- 40 【0007】 (2) 集積回路の内、内部の回路は前述のごとく、寸法を小さくし、それにより耐圧が小さくなくても破壊されないようにするために、それらへ供給する

3

電源電圧あるいはそれらにより発生される信号電圧の値を小さくすることが望ましい。これらの点を考慮し、本発明では、大きな振巾の信号にตอบสนองする第1の回路内の回路素子は、耐圧が大きくなるように大きな寸法にて形成するとともに、この回路の出力信号にตอบสนองする第2の回路の回路素子は、高集積化するために小さい寸法にて形成する。更に、高い、第1の電源電圧が入力され、第2の回路にこの第1の電源電圧より低い第2の電源電圧を供給するための、寸法の大きな回路素子からなる電源回路を設け、第1の回路を第1の電源電圧が入力され、第2の電源電圧に対応した大きさの電圧を有する内部信号を発生するように構成する。第2の回路は、第2の電源電圧が入力され、この内部信号により起動され、第2の電源電圧に対応した大きさの電圧を有する信号を出力するように構成される。

【0008】

【作用】この結果、第1、第2の回路は、耐圧に関して問題はなくでき、さらに、第2の回路は、小さい寸法の回路素子で形成されるために、また、集積回路全体の中では、第2の回路が占める面積が大きいので、集積回路全体としてみたときに高集積化が図れる。

【0009】

【実施例】以下、実施例に従い本発明を説明する。

【0010】図1は、本方式の概念を示すためのP型基板10からなるダイナミックメモリ用のメモリチップの断面図である。N型のモストランジスタ(MOST) Q_p のゲート酸化膜 t_{ox2} はMOST、 Q_n のゲート酸化膜 t_{ox1} より厚くされ、MOST、 Q_p のドレイン D_p には、高いドレイン電圧、たとえば外部電圧 V_{cc} (たとえば5V) が供給され、MOST、 Q_n のドレイン D_n には、この電圧 V_{cc} が入力される内部電源電圧発生回路30 (これは実際には、基板10内に形成されている) により、 V_{cc} より低い電圧 V_{DP} (たとえば3.5V) が供給されている。

【0011】外部電圧 V_{cc} は、基板電圧発生回路20に入力され、ここで基板10のバイアス電圧たとえば-3Vを発生する。なお、回路20は、基板10の外側に記載されているが、実際には基板10の内部に設けられている。通常メモリの集積度は、メモリアレーとそれを駆動する、あるいはそれから出力される微小信号を増巾するセンスアンプ (図示せず) などの、メモリアレーに直接接続されている周辺回路 (直接周辺回路) からなる第1の回路部40の集積度で決まる。したがってこの部分のMOST、 Q_n の寸法は小さくしたい。この寸法はMOST、 Q_n の耐圧、あるいはホットエレクトロン、基板電流などの関係から、一般に動作電圧を低くすることによって小にすることは可能である。ここでは、MOST、 Q_n のゲート酸化膜 t_{ox1} を薄くし、ドレイン電圧は V_{cc} より低い電圧 V_{DP} とし、チャネル長を短かくしMOST、 Q_n の寸法を小さくすることを実現している。勿

4

論、ゲート G_n の電圧の最大値も一般的には V_{DP} にする必要がある。一方、その他の制御回路、つまり直接周辺回路を制御する回路 (間接周辺回路) からなる第2の回路部50は、チップ全体に占めるその面積は約10%であるから、特に寸法の小さなMOSTを使う必要もない。むしろこの間接周辺回路は外部の入力端子が接続されるから、静電破壊耐圧などが十分高くなければならない。このためには一般にこのMOST Q_p のゲート酸化膜 t_{ox2} を厚くし、それに伴ない寸法 (たとえばチャネル長) の大きなMOST Q_p を使う必要がある。ここでは、このゲート酸化膜 t_{ox2} をゲート酸化膜 t_{ox1} より厚くし、チャネル長を長くしたことに伴ない、 Q_p のドレイン電圧を、 Q_n のドレイン電圧 V_{DP} より高い V_{cc} とする。勿論ゲート G_p の電圧の最大値は一般的には V_{cc} とする。なお、 Q_p 、 Q_n のソース S_p 、 S_n はいずれもアース電位に保持される。図1のように、高集積度に影響するメモリアレーと直接周辺回路からなる第1の回路部40のMOST Q_n の寸法は小さくし、間接周辺回路からなる第2の回路部50のMOST Q_p の寸法はより大きくするわけである。またこうすることによって、チップ外部からの電源電圧 (V_{cc} : たとえば5V) を動作電圧とすることによって、MOST、 Q_p は動作可能となる。また Q_n は、 V_{cc} をチップ内で電圧変換して、より低い動作電圧 (V_{DP} : たとえば3.5V) で動作可能となる。一般に動作電圧を低くするほど、それに応じて V_{th} も低くするのが高速という点で望ましい。この点、MOSTの一般的特性からゲート酸化膜 t_{ox} が小になれば V_{th} も低くなるので、メモリの動作速度に大きな部分を占める第1の回路部の動作速度を高速化できる。

【0012】したがって本方式は高速化という点でも都合がよい。尚、用途に応じてイオン打込み技術によって V_{th} を適宜調整できることは明らかである。

【0013】本方式を、1トランジスタ型メモリセルからなる実際のダイナミックN-MOSメモリに適用する場合、いくつかの考慮を払うことによって、より有効に使える。この一例を図2に示す。これは折り返し型のデータ線を有するメモリである。このメモリは、外部電源電圧 V_{cc} (5V) を入力されて、約-3Vの基板バイアス発生回路20と、外部電源電圧 V_{cc} が入力されて、3.5Vの内部電源電圧 V_{DP} および約3Vの直流電圧 V' を発生する内部電源発生回路30と、外部電源電圧 V_{cc} と、外部アドレス $A_i \sim A_j$ 、 $A_i' \sim A_j'$ 、外部制御信号が入力され、内部アドレス信号 $a_i \sim a_j$ 、 $a_i' \sim a_j'$ 、内部制御パルス ϕ_0 、 ϕ_1 、 ϕ_3 、 ϕ_x 、 ϕ_y を出力する間接周辺回路と、電圧 V_{DP} 、 V' 、アドレス信号 $a_i \sim a_j$ 、 $a_i' \sim a_j'$ 、制御パルス ϕ_0 、 ϕ_1 、 ϕ_3 により制御される、メモリ孔MAと直接周辺回路40とからなる。直接周辺回路には、XデコーダXD、YデコーダYD、プリチャージ回路PC、センスアンプSAとが含まれている。なお、図2において、回路50A

5

は、間接周辺回路50の内、ワード線駆動パルスが発生する部分を別に取り出して示したものである。この回路50A内において、パルス ϕ_1' 、 ϕ_x' は、間接周辺回路50内にて発生される回路である。

【0014】ここで、間接周辺回路50に入力される外部アドレス信号、外部制御信号はいずれも、外部電源電圧 V_{cc} とアース電位との間で変化する信号である。この回路50から出力されるパルスの内、 ϕ_1 、 $a_i \sim a_j$ 、 $a_i' \sim a_j'$ はいずれも内部電源電圧 V_{DP} とアース電位間で変化するパルスであり、パルス ϕ_0 は、プリチャージ用トランジスタ Q_p 、 Q_p' 、 Q_{DP} 、 Q_{YD} 、 Q_{XO} のしきい値を V_{th} とすると、 $V_{DP} + V_{th}$ より大きいレベルを取るパルスであり、パルス ϕ_3 は、トランジスタ Q_A 、 Q_A' のしきい値だけ V_{DP} より低いレベルを取るパルスである。また、パルス ϕ_x 、 ϕ_y は約1.5 V_{DP} のレベルを取るパルスである。

【0015】本回路の動作は以下の通りである。

【0016】メモリアレーMA内の選択されたメモリセルMCから記憶情報に応じてデータ線 D^- に現われる読み出し信号電圧は、ダミーセルDCからデータ線Dに現われる参照電圧を用いてセンスアンプSAにより情報“1”、“0”と判定されるわけだが、その過程は下記となる。すなわち、各データ線対 D 、 D^- は、プリチャージ信号 ϕ_0 によって V_{DP} ($< V_{cc}$) にプリチャージされた後、 ϕ_0 はオフとなり、 D 、 D^- は V_{DP} に保持される。このプリチャージ信号 ϕ_0 の振幅は、データ線プリチャージ回路PC中のMOST Q_p 、 Q_p' の V_{th} のばらつきの影響を受けて、 D 、 D^- のプリチャージレベルが不平衡になる（これは読み出し時に等価的雑音となる）のを防ぐために V_{DP} よりも十分大きい ($> V_{DP} + V_{th}$) 振幅であればよい。次に Q_{cl} によりプリチャージ時にOVにクリヤされた選択ワード線W上のメモリセルMCを読み出すために、ワード駆動パルス ϕ_x' （振幅は外部電源電圧 V_{cc} ）がワード電圧発生回路WGに印加される。この時デコーダXDはすでにアドレス $a_i \sim a_j$ によって選択されているから、ワードドライバMOST Q_{XS} のゲートは高レベルに保持されている、すなわち Q_{XS} はオンになっている。ワード電圧発生回路WGは、パルス ϕ_x' を受けて、振幅 V_{DP} のパルス ϕ_x を出力するもので、その出力 ϕ_x は、W' からそのままWに伝わる。この場合、目的に応じて、例えばMCから D^- への読み出し電圧を大にするためにWへの印加電圧を大にするために、ブートストラップ容量 C_B を介して ϕ_1 （振幅 V_{DP} ）を印加することも行われる。昇圧回路VUは、パルス ϕ_1' （振幅 V_{cc} ）を受けてパルス ϕ_1 を出力するものである。この場合の昇圧電圧は、 C_B とW' とWの和の寄生容量と ϕ_1 の振幅で決まるが、0.5 V_{DP} 程度は可能である。したがってWには1.5 V_{DP} 程度の振幅のパルスが生じる。同時に図2では省略したが、ほぼ同種の回路によってダミーワード線DWにも1.5 V_{DP} のパルス

6

電圧が生ずる。これらによって、記憶容量 C_s に保持されていた情報に応じた記憶電圧は、 C_s とデータ線容量との関係で決まる微小電圧となって D^- に現われる。

【0017】一方、Dには記憶情報に対応して D^- に現われた信号電圧の中間レベル（参照電圧）が、常に現われ、これらが、センスアンプSAで増幅されるわけである。尚増幅は、プリチャージに、データ線D、 D^- からプリチャージされて $V_{DP} - V_{th}$ （ここで V_{th} は Q_A 、 Q_A' の V_{th} ）になっている ϕ_3 をOVにすることによって行われる。このようにして増幅されたD、 D^- の差動信号は、所定のYデコーダYDがアドレス $a_i' \sim a_j'$ によって選択され（したがって Q_{YS} のゲート電圧が高レベル）、 ϕ_y （振幅は $\sim 1.5 V_{DP}$ ）が印加されることによって、各データ対線に共通な I/O 、 I/O' に出力されてデータ出力となる。

【0018】さて通常のメモリでは、前述したように、 V_{cc} を5Vに維持したままで、高集積化していく、つまりMCを小にしていくと、当然耐圧が問題となってくるわけだが、本発明のように、集積度に直接的に関係するメモリセルMC、ダミーセルDCと、MCとほぼ同じピッチでレイアウトされる直接周辺回路ならびにMOST（例えば、SA、PC、XD、YD、 Q_{XS} 、 Q_{YS} 、 Q_D 、 Q_D' 、DC、 Q_{cl} ）の動作電圧を下げれば、これらの耐圧の問題がなくなるために、小さい寸法の素子（MOST、コンデンサ、抵抗）を用いて小さな面積にレイアウトできることになる。また一方、間接周辺回路の面積は、全体のチップ面積からみて、占める割合は小さいから、高い動作電圧でも安定に動作するようにより大きい寸法の素子を用いることができる。すなわち外部からみて高電圧で動作する高集積メモリが可能となる。

【0019】次に寸法を小にするための具体例を以下に列挙する。

【0020】① 酸化膜を選択的にうすくする；一般にMOSTのゲート酸化膜厚が小になるほど小さいチャネル長Lでも正常なトランジスタ特性を示す。したがってチャネル長を小にして、小さな面積でレイアウトするには、ゲート酸化膜を小にする必要がある。しかし前述したように、耐圧（ドレイン・ソース間）が低下する。したがって本発明のように、Lに応じて動作電圧を使いわけることが重要である。またMOS LSIでは、このうすい酸化膜をコンデンサとして用いることがよく行われる（図2の C_B 、 C_s など）。この場合にも、うすいゲート酸化膜を用いれば小さい面積で大きな値のコンデンサも作れるので、このようなコンデンサを低電圧動作する個所に使うことができる。したがってうすい酸化膜がメモリアレーや直接周辺回路部で用いられるということは高集積化にとって本質的に重要である。

【0021】② ゲート酸化膜の小なるMOSTのLと V_{th} をより小にする；うすい酸化膜が選択的に使えることにより、MOSTの一般的な特性から明らかなよう

7

に、 L や V_{th} が小にできる。だから、この可能性を積極的に用いることによって、速度を低下させずに高集積化が可能である。なぜなら、うすい酸化膜の領域は動作電圧が低いわけで、このままでは低速動作しかしないことになるが、幸いなことにこの領域では L や V_{th} を小にできる。この L や V_{th} を積極的に小にすることは、高速動作をさせることにつながるからである。

【0022】③ 低電圧で動作させる領域では素子分離はより容易にできる。したがってこの分だけ素子分離幅は小にできる。つまり高集積化が可能である。あるいは、素子分離特性に寄与する層間膜厚をうすくできる。したがってこの分だけ平坦化され、配線（例えばA1）の断線が少なくなり高歩留りになる。

【0023】すなわち、図6に示すように、2個のMOST Q_{n1} , Q_{n2} の上部を例えばA1配線WAが走っていて、それに高電圧が印加されているとする。また一方のMOSTのドレイン D_{n1} に高電圧が、他のMOSTのソース S_{n2} に低電圧が印加されているとする。 Q_{n1} と Q_{n2} を電気的に分離できる素子分離幅 L_p は、WAに印加される電圧 V_{DP} 、膜間膜厚 t_{OP} に依存し、一般には V_{DP} が小になるほど、 t_{OP} 大なるほど、 L_p は小にできる。したがって t_{OP} 一定のもとで本発明を採用すれば V_{DP} は小であるから、 L_p は小にでき、高集積化できる。また L_p 一定のもとでは t_{OP} を小にできるから、段差の少ない断面にできる。したがってA1の断線は少なくでき、高歩留りとなる。

【0024】④ 上記方式の利点をさらに調するため、メモリアレーならびに直接周辺回路の主要部の拡散層の深さ x_j を間接周辺回路部のそれよりも小にする。すなわち x_j が小なる方が、小さい寸法のMOSTが使えるからである。

【0025】尚、あきらかなように、動作状態を考慮することにより、場合によっては、直接周辺回路内の素子寸法も選択的に大きくして使うことも考えられる。たとえば Q_{n1} などはそのドレイン・ソース間に1.5V V_{DP} の高電圧が加わるから、大きな寸法のMOSTを使うなどの工夫も必要である。

【0026】また、センスアンプSAでは、 Q_{A1} , Q_{A2} を余り小さくしすぎると製造バラツキにより、これらのしきい値が一致しないことがあり、メモリセル読出しノイズとなるので、 Q_{A1} , Q_{A2} の寸法は選択的に大きくすることが必要である。

【0027】なお、図2のメモリにおける具体的寸法例は図7のとおりである。これらの各種寸法の組み合わせは、用途に応じて選ぶことは可能である。

【0028】たとえば、 x_j や t_{OP} は本図のように2種にした方が本発明の利点が最大限活かせるが、製造のしやすさから、1種にすることも可能である。

【0029】また図3は、図2のワード電圧発生回路WGと電圧昇圧回路VUの回路構成を示す。WGとVUは

8

いずれもデプレッション型のNチャンネルMOST ($V_{th} = -3.5V$) Q_{DN} と、このMOSTのソース電圧を電源電圧とする、従来のパルス発生回路PGとからなる。入力パルス電圧 $\phi_{x'}$, $\phi_{1'}$ の振巾は V_{cc} であるが、デプレッションMOST、 Q_{DN} によってa点の電圧が $-3.5V$ に保持される。ワード電圧発生回路WG内のパルス発生回路PGは、入力パルス $\phi_{x'}$ の立上がりに対応して、電圧 V_{DP} ($=3.5V$) のパルス ϕ_x を出力する。さらに、その後電圧昇圧回路VU内のパルス発生回路PGは、入力パルス $\phi_{1'}$ (振巾 V_{cc}) の立上がりに対応して電圧 V_{DP} のパルス ϕ_1 を出力する。この結果、線W'はキャパシタンス C_B の作用により昇圧されて $\sim 1.5V_{DP}$ となる。(図4) 回路PGの出力電圧は、 V_{cc} を変化 (たとえば $5 \rightarrow 8V$) にしても、MOST Q_{DN} の V_{th} によって一義的に決まる (図5) から、ほぼ一定である。すなわち、図5に示すように外部電圧 V_{cc} が変化するとき、外部電圧 V_{cc} が所定の電圧以下のときと所定の電圧以上のとき、すなわちしきい値電圧 V_{th} 以下のときとしきい値電圧 V_{th} 以上のときとは外部電圧 V_{cc} の変化に対する内部電源電圧 V_{DP} の変化の仕方が違うことを利用しているのである。このことは、 V_{cc} を過大にしても、メモリアレーMAや直接周辺に多用されている微細MOSTを破壊から守ることを意味する。

【0030】なお、図3に示した回路WG、VUのごとく、D型NMOSとパルス発生回路を用いて、外部電圧 V_{cc} に等しい振巾を有する入力パルスに対応してこれより小さい電圧 V_{DP} に等しい振巾を発生する方法はこれらの回路WG、VUに限られず、間接周辺回路60にも用いられる。

【0031】図3に示した、トランジスタ Q_{DN} は V_{cc} 電源を受けて V_{DP} 電圧を出力しているので、内部電源電圧発生回路30もこのトランジスタを用いて構成できる。つまり、 V_{DP} を発生する部分には図3のようにドレイン、ゲートにそれぞれ V_{cc} 、アース電位が印加される $V_{th} = -3.5V$ のデプレッション型トランジスタを用いれば、そのソースから電源電圧 V_{DP} を得ることができ、さらに、 V' を発生する部分には同じ構成のトランジスタのソースに、エンハンス型のトランジスタのドレインとゲートを接続し、このトランジスタのしきい値を0.5Vにすれば、このトランジスタのソースから、電源電圧 V' を得ることができる。

【0032】次に低電圧に変換された電源電圧の印加方式について具体例を述べる。

【0033】図8は、チップ内の間接周辺回路のすべて (PG1, PG2など) に、共通の電圧コンバータ30から電圧 V_{DP} を供給する方式である。これらPGからの出力パルスが図2の $\phi_{1'}$, $\phi_{x'}$, $\phi_{3'}$, $a_{i1} \sim a_{j1}$, $a_{i2} \sim a_{j2}$ などになる。この場合30が電流供給能力が十分あれば、間接周辺回路を構成する各パルス発生回路がそれぞれの負荷容量 C_1 , C_2 , C_3 を駆動したとし

9

ても、 V_{DP} の電源変動は特に問題はない。しかし30の電流供給能力が小さければ、各パルス発生回路PGが動作する毎に V_{DP} は変動し、この変動は電源線容量 C_{DP} が大きければ長時間持続する。すなわち、複数のPGは相互に V_{DP} の変動という形で干渉しあい、各PGからは理想的なパルス波形が得られなくなる。この欠点を解決したのが図9である。各PG毎に電圧コンバータをつけるので上記欠点はなくなる。実は、図3がその具体的実施例だったわけである。

【0034】図10は、低電圧の出力パルスを必要とするPGとそうでないPGを混在して使う場合の印加方式である。たとえば、PG1あるいはPG4の出力パルスは、前述したように、低電圧パルスを必要とする直接周辺回路あるいはメモリアレーに印加される。

【0035】図11は、図8の欠点である V_{DP} を介する相互干渉を少なくする他の一実施例である。間接周辺回路を構成する各PGを分類すると、ある特定の複数のPGがある時間帯にのみ動作し、他の複数のPGは異なった時間帯にのみ動作するというように、動作する時間帯に応じて複数のPG群に分類できる。たとえば、アドレスマルチプレクス方式のダイナミックメモリなどのように、2個の外部印加クロック(ϕ_1 , ϕ_2)のそれぞれに対応して動作する2個のPG群がチップ内部に存在するわけで、この場合、電圧コンバータは、 ϕ_1 , ϕ_2 毎に用いられ、 V_{DP} を介して、 ϕ_1 と ϕ_2 に関係するPG間の干渉はなくなる。あるいは、図12のように、入力信号 ϕ がONの場合に動作するPG(PG1, PG2, PG3, ...)とOFFの場合に動作するPG(PG1', PG2', PG3', ...)とに分けて、すなわち ϕ の論理状態に対応して動作する2種のPG群に分けて、それぞれに電圧コンバータ30を接続する方法も考えられる。ここでダイナミックメモリの例をとると、 ϕ がONの場合は、メモリ動作をさせる時間帯に、またOFFの場合はプリチャージ動作をさせる時間帯に対応する。

【0036】次に電圧コンバータ自身の回路方式について図3以外の実施例を述べる。説明を簡単にするため通常用いられるダイナミック型パルス発生回路を用いて説明する。このパルス回路PGの動作の詳細は、昭和54年度電子通信学会半導体・材料部門全国大会No. 69に記されている。その概略を図13で説明する。すなわち、入力 ϕ_1 が印加されると、 Q_D のゲート電圧は高電位から低電位に放電されて、 Q_D はOFFになり、同時に Q_L のゲート電圧は低電位から高電位(ブートストラップ容量を用いて V_{cc} 以上の高電位に充電される)になる結果、 Q_L はONになり、出力 ϕ_0 は低電位(0V)から高電位(V_{cc})になる。このような回路形式で、低電圧の出力パルスを得るには、図3のような実施例があげられる。しかし場合によっては、図14のように外部からの供給電源である V_{cc} と等しい振幅のパルス ϕ_i が入力した場合、各PGの出力 $\phi_{01} \sim \phi_{04}$ の振幅も V_{cc} である

10

が、ある特定の出力(たとえば ϕ_{01} , ϕ_{04})だけは余分に、より低電圧振幅(V_{DP})のパルスも出力して、この低電圧パルスを直接周辺回路やメモリアレーに印加したい場合もあり得る。この場合の電圧コンバータの実施例を第15, 16に示した。

【0037】図15は、図13の出力段に ϕ_0' 用のインバータ Q_L' と Q_D' を並列に付加した例である。 Q_{DN} は図3と同じデプレッションMOS Tである。また図16は、 Q_D と Q_L に直列に図3と同じデプレッションMOS T Q_{DN} を付加し、その両端から出力を取り出した例である。明らかに ϕ_0 は V_{cc} までの振幅が得られ、デプレッションMOS Tのしきい値電圧で規制されて V_{DP} の振幅になった ϕ_0' が、 ϕ_0 と同時刻に得られる。

【0038】また図17は、図16の ϕ_0' を図3に示すように昇圧した例である。

【0039】以上のように低いレベルをとるパルス発生回路を述べてきたが、このままでは高信頼性の集積回路は得られない。すなわち、通常の集積回路では最終製造工程の後に、エージング試験と称して、通常動作で用いられる電源電圧よりも十分高い電圧を故意にチップ内の各トランジスタに印加することによって、ゲート酸化膜不良などでもともと故障のおこりそうなトランジスタを初期に見つけることによって、信頼性を保証している。しかし本例で述べたように、定電圧化してしまうと、外部電源電圧を高くしても、各トランジスタには十分高い電圧が印加されないため、十分なエージング試験は不可能である。そこでエージング試験の場合のみ、たとえばデプレッションMOS Tのゲート電圧をアース電位よりも高くすることが考えられる。こうすることにより、デプレッションMOS Tのよく知られた性質から明らかのように、ゲート電圧を高くした分だけ出力電圧は高くなるわけである。エージング時に印加する手段としては図18に示すように、スイッチSWによってデプレッションMOS T Q_{DN} のゲート電圧を、通常の動作時にはアース電位に、またエージング時には適当な電圧 V_E にすればよい。図19はその具体的実施例である。すなわち、チップ内の複数の Q_{DN} のゲートは、チップ内の抵抗Rによって、チップ内でアースに接続される。一方ゲートはボンディングパッドPDを介してパッケージのピンPNに接続される。通常の動作時に、このピンをオープンにしておけば、各 Q_{DN} のゲートはアース電位になる。またエージング時にこのピンに電圧を印加すれば、 Q_{DN} のソースには、電圧を印加した分だけ高い電圧が得られるわけである。

【0040】図20は、上記のようにエージング用のピンをわざわざ設けずに、チップに加わる外部クロックの位相関係をエージング時のみ調整し、同じ効果を得るための実施例である。たとえばダイナミックRAMでは、よく知られているように、2種の外部クロックRAS

(Row Address Strobe)とCAS (Column Address Str

11

obe) の適当なタイミング関係で動作する。通常、RASが高レベルでCASが低レベルの組み合わせでは用いないので、逆にこの組み合わせをエージング時に用いればよい。すなわち図20のような論理をとることにより、上記組み合わせの場合のみ Q_{DN} のゲートがアース電位よりも高い電位をとることができる。

【0041】なお以上の実施例は、説明の都合上、デプレッションMOS Tの実施例であったが、明らかにエンハンスMOS Tでも可能である。ただし、デプレッションMOS Tの例と同じ効果を得るには、そのゲートに一定の定電圧を印加する必要がある。たとえば、エンハンスMOS Tのソースに定電圧 V_{DP} を得るには、このエンハンスMOS Tのゲートに定電圧 $V_{DP} + V_{th}$ (V_{th} : エンハンスMOS Tのしきい電圧) を印加する必要がある。外部電源電圧の変動によらず、 $V_{DP} + V_{th}$ をチップ上で一定にすることは一般に可能であるから、上記のエンハンスMOS Tを使うことができるわけである。

【0042】

【発明の効果】以上から高集積で高信頼度のメモリが可能となる。尚本方式はダイナミックMOSメモリ以外にも、たとえばスタティックMOSメモリやバイポーラメモリその他のメモリあるいは、上記の概念が適用できる集積論理回路にも適用できることは明らかである。

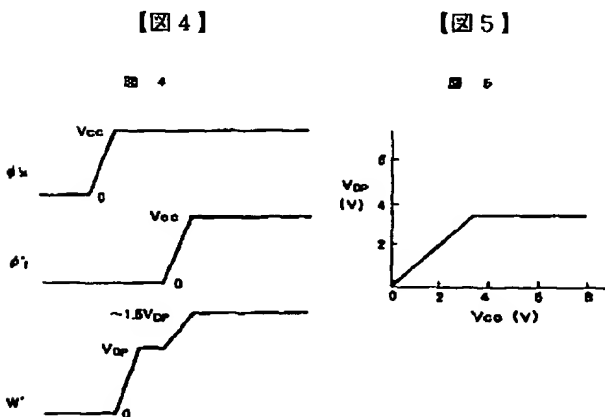
【図面の簡単な説明】

【図1】本発明をDRAMに適用した例のチップ断面図である。

【図2】本発明をDRAMに適用した例の回路図である。

【図3】図2におけるワード電圧発生回路と電圧昇圧回路の実施例である。

【図4】図3の動作を説明するための図である。



12

* 【図5】内部電源発生回路の入力と出力の関係を示した図である。

【図6】素子構成を説明するための図である。

【図7】素子の具体的寸法例である。

【図8】電圧コンバータの供給方式の一実施例である。

【図9】電圧コンバータの供給方式の一実施例である。

【図10】電圧コンバータの供給方式の一実施例である。

【図11】電圧コンバータの供給方式の一実施例である。

【図12】電圧コンバータの供給方式の一実施例である。

【図13】ダイナミック型パルス発生回路を示す図である。

【図14】本発明のパルス発生回路の一実施例を示す図である。

【図15】図14における電圧コンバータの一実施例を示す図である。

【図16】図14における電圧コンバータの一実施例を示す図である。

【図17】図16を図3のに適用した例である。

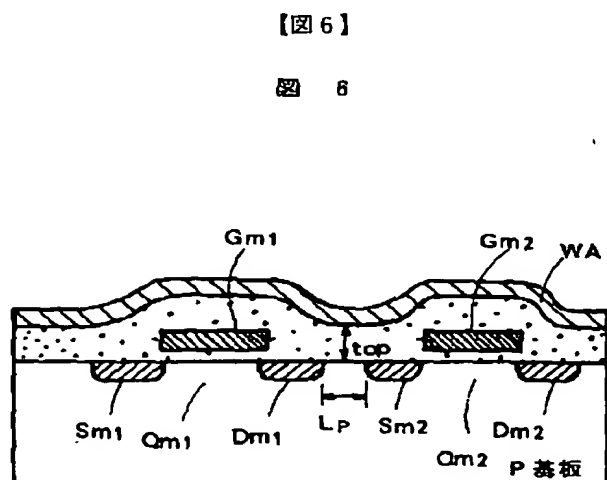
【図18】エージング時の電圧印加方法を示す図である。

【図19】エージング時の電圧印加方法を示す一実施例である。

【図20】エージング時の電圧印加方法を示す一実施例である。

【符号の説明】

V_{DP} …内部電源電圧、 Q …トランジスタ、 MC …メモリセル、 SA …センスアンプ、 PC …プリチャージ回路。



【図1】

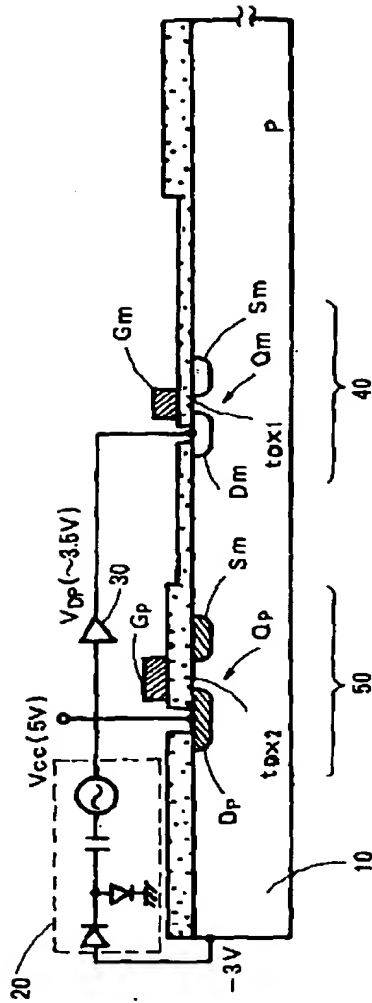


図 1

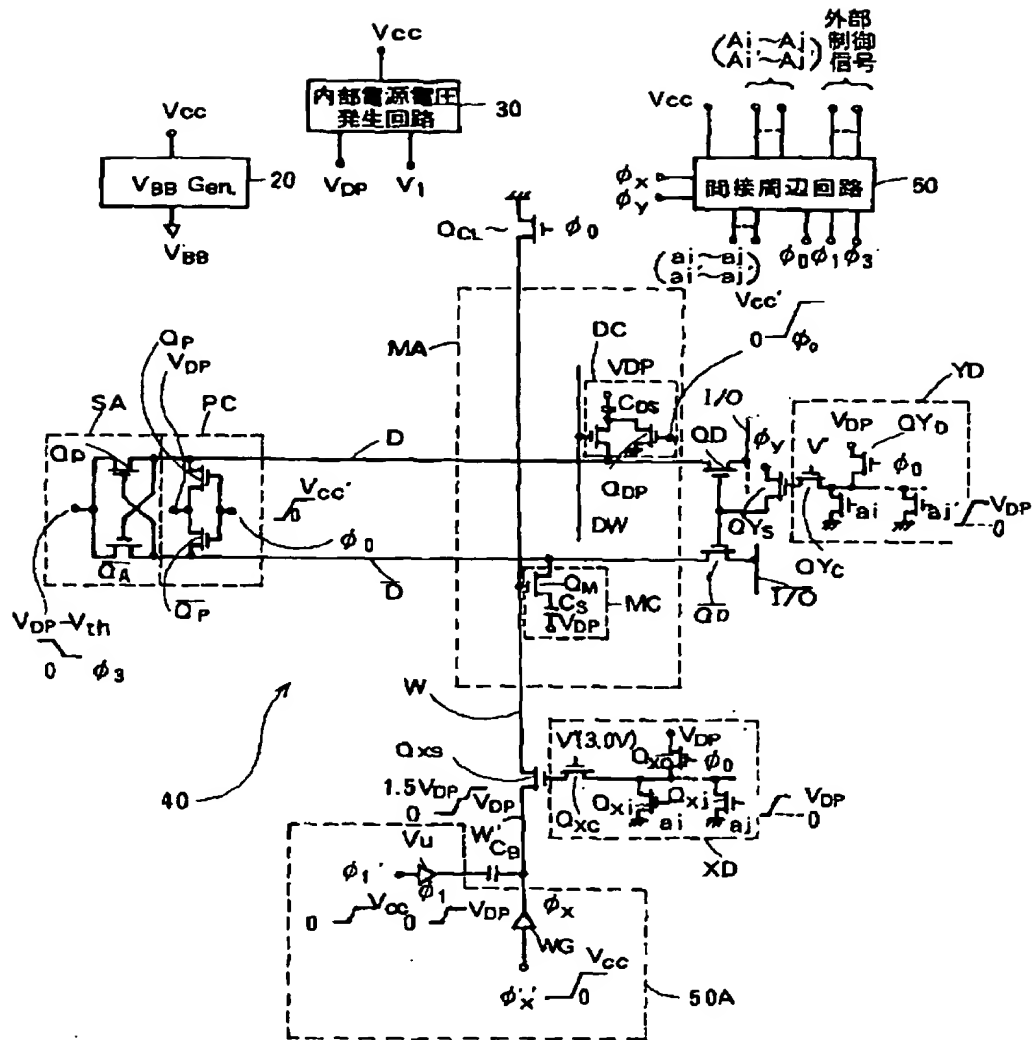
【図7】

図 7

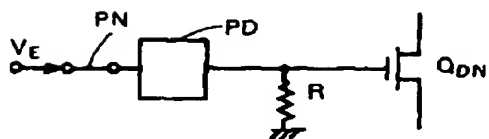
回路素子	MOS				チャモダス		抵抗	MOS間の 分離巾	MOS間の 絶縁膜 厚さ
	ゲート長	チャネル長	ゲート 絶縁膜厚	拡散層 深さ	しきい値	ゲート 絶縁膜厚			
寸法	L_g	L	t_{ox}	x	V_{th}	t_{ox}	x_j	L_p	t_{op}
記号	L_g	L	t_{ox}	x	V_{th}	t_{ox}	x_j	L_p	t_{op}
間接周 辺回路	2.0~2.5 μm	1.5~2.0 μm	400Å	0.2 μ	0.5~0.3 V	400Å	0.2 μm	1.5~2.0 μm	6000~ 10000Å
直接周 辺回路 と メモリアレ	1.2~1.5 μm 但し QA、QA' については 3.0 μm	0.7~1.0 μm 但し QA、QA' については 2.5 μm	200Å	0.2 μ	0.3~0.1 V	200Å	0.2 μm	1 μ	4000~ 5000Å

(単位 μm)

2

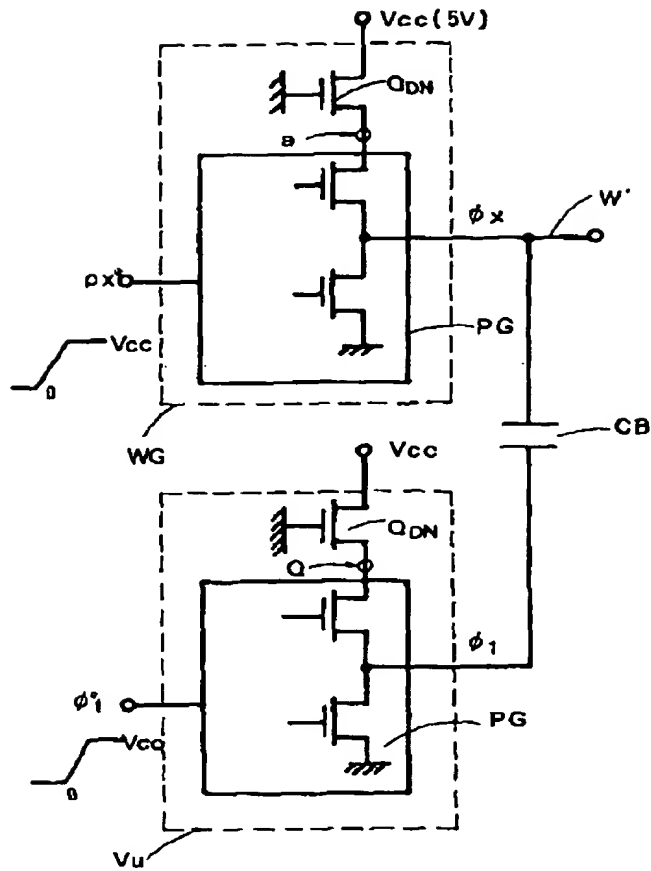


19



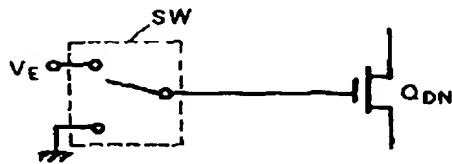
【図3】

図 3



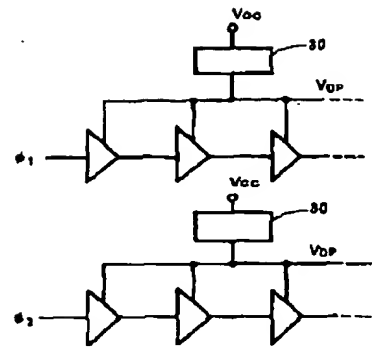
【図18】

図 18



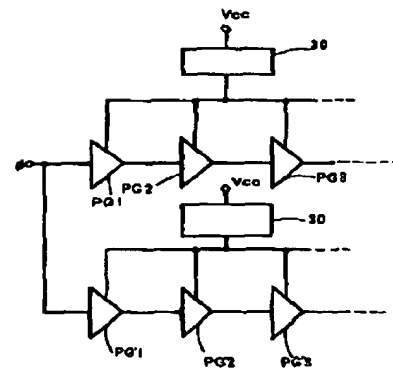
【図11】

図 11



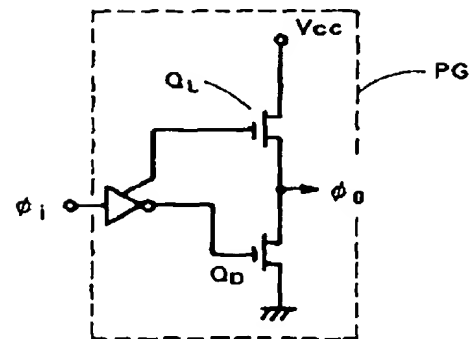
【図12】

図 12

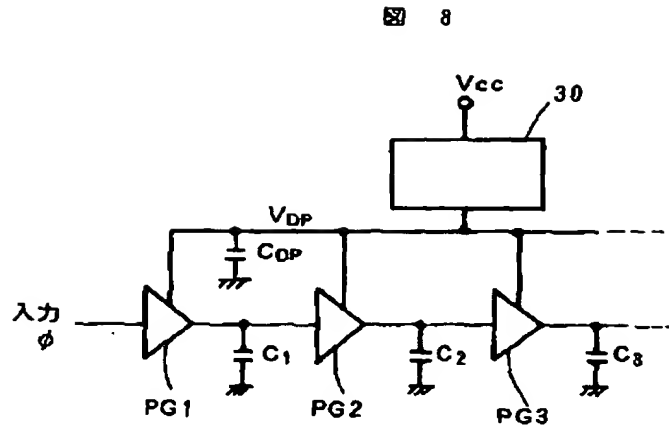


【図13】

図 13

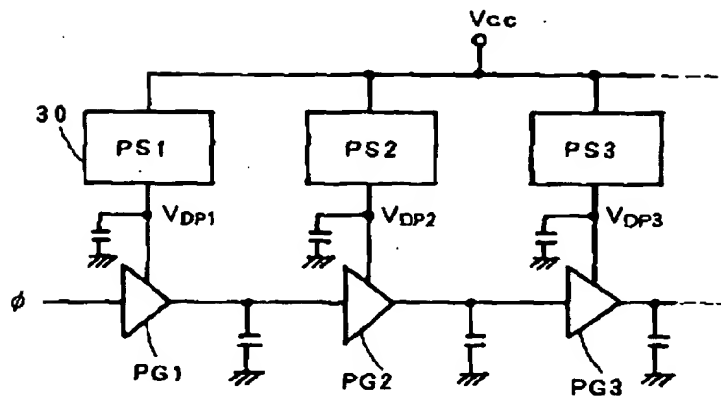


【図8】



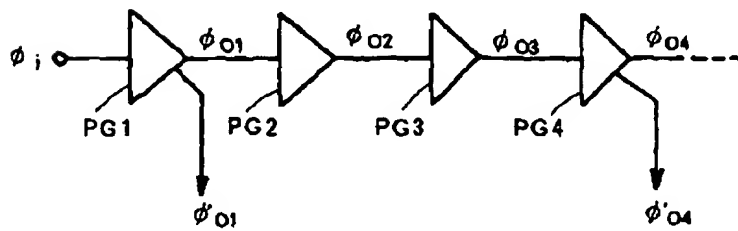
【図9】

図 9



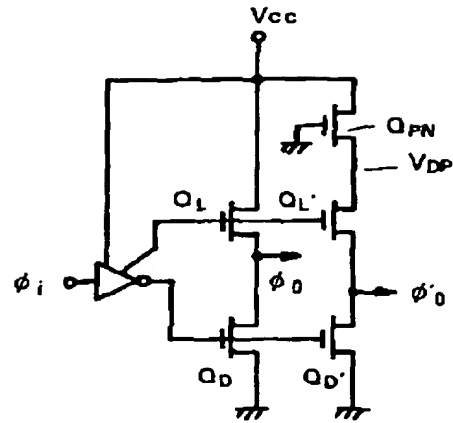
【図14】

図 14



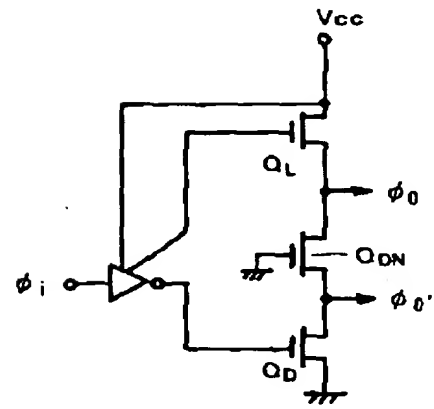
【図15】

図 15



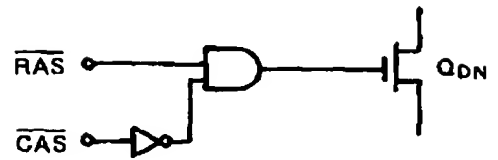
【図16】

図 16



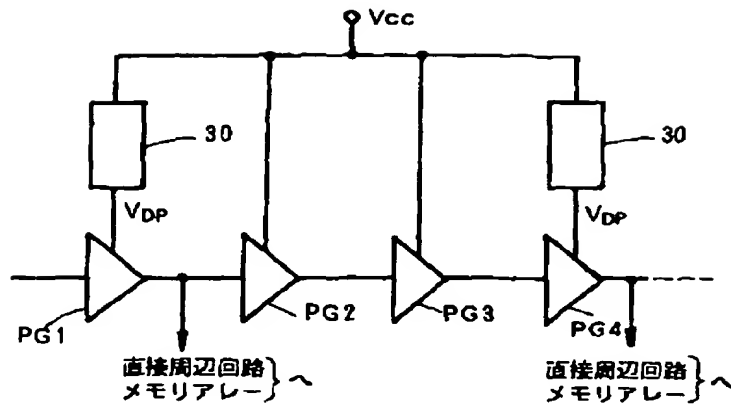
【図20】

図 20



【図10】

図10



【図17】

図17

